

APPARATUS OF MEASURING CONSTANT OF CIRCUIT ELEMENT

Publication number: JP6148245 (A)

Publication date: 1994-05-27

Inventor(s): YAMAZAKI HIROSHI +

Applicant(s): HIOKI ELECTRIC WORKS +

Classification:

- **international:** **G01R27/26; G01R27/26;** (IPC1-7): G01R27/26

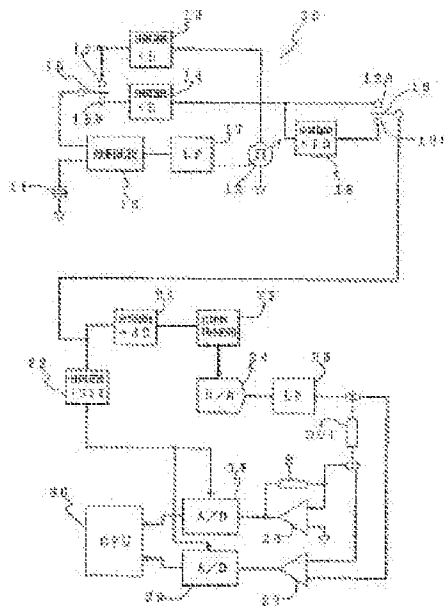
- **European:**

Application number: JP19920319395 19921104

Priority number(s): JP19920319395 19921104

Abstract of JP 6148245 (A)

PURPOSE: To make it unnecessary to process a window function or the like when L, C, D, Q, etc., is to be operated by a CPU, by completely synchronizing a sine wave measuring signal of a measurement sample with a sampling signal of an A/D converter. **CONSTITUTION:** The frequency of a reference signal from a reference signal generating means 10 is divided by different dividing ratios at frequency dividing circuits 21, 22. The dividing circuit 21 obtains a sine wave measuring signal from a sine wave generating circuit 25, impressing the signal to a measurement sample DUT. The other dividing circuit 22 supplies sampling clocks of A/D converters 28, 29.



Data supplied from the **espacenet** database — Worldwide

(51)Int.Cl.⁵

G 0 1 R 27/26

識別記号

庁内整理番号

F I

技術表示箇所

L 7324-2G

C 7324-2G

審査請求 未請求 請求項の数 2(全 5 頁)

(21)出願番号 特願平4-319395

(22)出願日 平成4年(1992)11月4日

(71)出願人 000227180

日置電機株式会社

長野県上田市大字小泉字桜町81番地

(72)発明者 山崎 浩

長野県上田市大字小泉字桜町81番地 日置
電機株式会社内

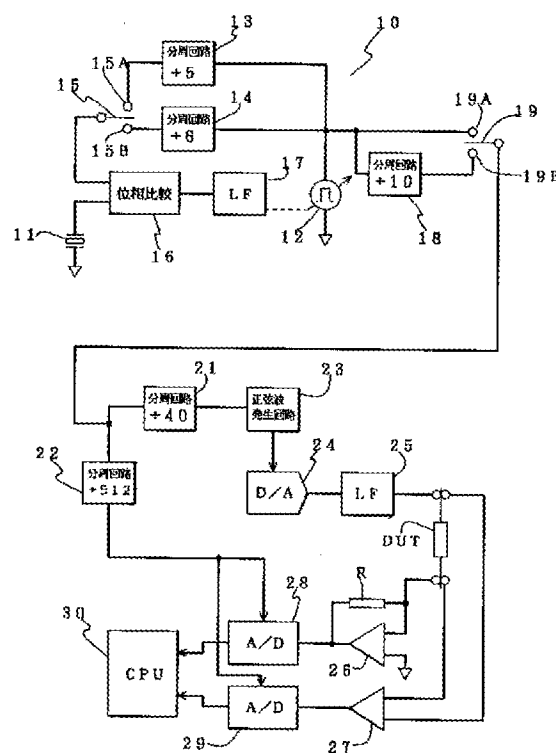
(74)代理人 弁理士 大原 拓也

(54)【発明の名称】 回路素子の定数測定装置

(57)【要約】

【目的】 被測定試料に対する正弦波測定信号と、A/Dコンバータのサンプリング信号とを完全に同期させ、CPUにてL、C、D、Qなどを演算する際のウィンドウ関数処理などを不要にする。

【構成】 基準信号発生手段10からの基準信号を分周回路21、22にてそれぞれ異なる分周比で分周し、その一方の分周回路21にて正弦波発生回路25より正弦波測定信号を発生させて被測定試料DUTに印加するとともに、他方の分周回路22によりA/Dコンバータ28、29のサンプリングクロックを供給する。



【特許請求の範囲】

【請求項1】 所定周波数の基準信号を発生する基準信号発生手段と、少なくとも1周期分の正弦波データを有し、被測定試料としての回路素子に所定周波数の正弦波測定信号を供給する正弦波発生手段と、上記基準信号を所定の分周比で分周して上記正弦波発生手段に与える第1の分周回路と、上記被測定試料に流れる電流を検出する電流検出回路および同被測定試料の端子間電圧を検出する電圧検出回路と、上記電流検出回路および上記電圧検出回路から出力される検出信号をそれぞれデジタル信号に変換する2つのA/Dコンバータと、上記基準信号を所定の分周比で分周して周波数が上記正弦波測定信号の整数倍となる信号を得、同信号を上記各A/D変換コンバータにサンプリング信号として供給する第2の分周回路と、上記各A/Dコンバータにて変換された電圧データと電流データとから上記被測定試料のL成分、C成分などの定数を演算処理する演算処理手段とを備えていることを特徴とする回路素子の定数測定装置。

【請求項2】 上記基準信号発生手段は、少なくとも2つの分周回路を含むPLLを有し、同分周回路を選択することにより周波数の異なる基準信号を発生することを特徴とする請求項1に記載の回路素子の定数測定装置。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】 この発明は回路素子の定数測定装置に関し、さらに詳しく言えば、回路素子のL（インダクタンス）成分やC（キャパシタ）成分などの定数を測定する回路素子の定数測定装置に関するものである。

【0002】

【従来の技術】 図2を参照しながら従来例について説明すると、この種の定数測定装置は被測定試料としての回路素子DUTに正弦波測定信号を供給する周波数可変の正弦波発生手段1と、同回路素子DUTに流れる電流を電圧として検出する電流検出回路2と、同回路素子DUTの両端に発生する電圧を検出する電圧検出回路3と、電流検出回路2および電圧検出回路3の出力電圧をそれぞれデジタルに変換する2つのA/Dコンバータ4、5と、同A/Dコンバータ4、5の変換動作を制御するサンプリングクロック発生部6と、上記A/Dコンバータ4、5にて変換された電流データと電圧データとから回路素子DUTのL、C、D、Qなどの定数を演算処理する演算処理手段（CPU）7とを備えている。

【0003】 この場合、サンプリングクロック発生部6は、A/Dコンバータ4、5が積分型の場合には、電源周波数（50または60Hz）のn倍のサンプリング速度になるような回路構成とされ、これに対してA/Dコンバータ4、5が逐次比較型の場合には、測定信号に非同期で無関係な周波数のクロックを発生する回路とされ、通常これにはCPU7のクロックが分周して用いられる。

【0004】

【発明が解決しようとする課題】 前者の場合、電源の影響を受けない高精度な測定が可能であるが、積分動作があるため、サンプリング速度を最高でも数10〜数100ms程度までしか上げることができない。

【0005】 これに対して、後者の場合には、積分時間が不要であるため比較的高速のサンプリングが可能ではあるが、測定信号とは非同期であるため、CPU7にてL（インダクタンス）やC（キャパシタ）を演算する際、ウィンドウ関数処理が必要となり、測定速度を向上させるにはディジタル処理の負担が重くなる。

【0006】

【課題を解決するための手段】 この発明は上記従来の事情に鑑みなされたもので、その構成上の特徴は、所定周波数の基準信号を発生する基準信号発生手段と、少なくとも1周期分の正弦波データを有し、被測定試料としての回路素子に所定周波数の正弦波測定信号を供給する正弦波発生手段と、上記基準信号を所定の分周比で分周して上記正弦波発生手段に与える第1の分周回路と、上記被測定試料に流れる電流を検出する電流検出回路および同被測定試料の端子間電圧を検出する電圧検出回路と、上記電流検出回路および上記電圧検出回路から出力される検出信号をそれぞれデジタル信号に変換する2つのA/Dコンバータと、上記基準信号を所定の分周比で分周して周波数が上記正弦波測定信号の整数倍となる信号を得、同信号を上記各A/Dコンバータにサンプリング信号として供給する第2の分周回路と、上記各A/Dコンバータにて変換された電圧データと電流データとから上記被測定試料のL成分、C成分などの定数を演算処理する演算処理手段（CPU）とを備えていることにある。

【0007】 この場合、上記基準信号発生手段は少なくとも2つの分周回路を含むPLLを有し、同分周回路を選択することにより周波数の異なる基準信号が発生するように構成されることが好ましい。

【0008】

【作用】 上記構成によれば、正弦波測定信号とA/Dコンバータのサンプリング信号とが完全に同期するため、CPUにてL、C、D、Qなどを演算する際のウィンドウ関数処理が不要となる。また、A/Dコンバータとしては逐次比較型、フラッシュコンバータなどが用いられるため、高速の測定が可能となる。

【0009】

【実施例】 以下、図1を参照しながら、この発明の実施例について説明する。まず、この測定装置は、所定周波数の基準信号を発生する基準信号発生手段10を備えている。この場合、同基準信号発生手段10は発振周波数2.048MHzの水晶発振器11と、電圧制御発振器（VCO）12と、同VCO12の出力を分周する分周比5の分周回路13および同VCO12の出力を分周す

る分周比6の分周回路14と、分周回路13、14のいずれかを選択するスイッチ15と、同スイッチ15にて分周された信号と水晶発振器11からの信号との位相を比較する位相比較回路16と、同位相比較回路16にて検出される位相差に応じてVCO12に対する制御電圧を印加するローパスフィルタ17とを備え、これらによってPLL（位相同期ループ）が構成されている。

【0010】また、基準信号発生手段10の出力側には、上記スイッチ15と連動するスイッチ19にて選択される2つの切替え端子19A、19Bが用意されており、その一方の切替え端子19B側には分周比10の分周回路18が接続されている。

【0011】これによれば、スイッチ15、19をともにその端子15A、19A側にすることにより、10.24MHzの基準信号が得られ、これに対して同スイッチ15、19をともにその端子15B、19B側にすることにより、1.2288MHzの基準信号が得られる。

【0012】この基準信号は分周回路21と22とに与えられる。この場合、一方の分周回路21の後段には、少なくとも1周期分の正弦波データを有する正弦波発生回路23が接続されており、同分周回路21にて分周された信号によってその正弦波データが順次読み出される。

【0013】この実施例において、分周回路21の分周比は40とされており、したがって上記の基準信号10.24kHzは256kHzに、基準信号1.2288kHzは30.72kHzに分周される。

【0014】また、正弦波発生回路23はROMなどのメモリからなり、同回路23には256ポイントの正弦波データが予め格納されている。この正弦波データはD/Aコンバータ24にてアナログの正弦波測定信号に変換された後、ローパスフィルタ25を介して被測定試料（回路素子）DUTに供給される。

【0015】なお、分周回路21の出力信号が256kHzの場合、正弦波測定信号の周波数は1kHzとなり、同出力信号が30.72kHzの場合には、この正弦波測定信号の周波数は120Hzとなる。

【0016】被測定試料DUTに流れる電流は電流検出回路26にて検出されるとともに、同被測定試料DUTの両端に発生する電圧は電圧検出回路27にて検出され、それらの検出信号はA/Dコンバータ28、29にてそれぞれデジタルデータに変換される。

【0017】A/Dコンバータ28、29は逐次比較型であって、他方の分周回路22からそのサンプリングクロックが供給される。この実施例では、分周回路22の分周比は512であり、したがって上記の基準信号10.24kHzは20kHzに、基準信号1.2288kHzは2.4kHzに分周される。これにより、いずれの場合も電圧、電流の検出波形はともに20ポイントでサンプリングされることになる。

【0018】このようにして、A/D変換された電流データおよび電圧データは演算処理手段としてのCPU30に入力され、これに基づいて被測定試料DUTのL、C、D、Qなどが測定される。

【0019】この例ではA/Dコンバータ28、29のサンプリングクロックの周波数を正弦波測定信号の20倍としているが、分周比を変えることにより任意の整数倍とすることができる。また、基準信号に関してもPLLの分周回路を追加することにより、それに応じて周波数の異なる基準信号が得られることになる。

【0020】

【発明の効果】以上説明したように、この発明によれば、同一の基準信号を別々に分周し、その一方の信号にて正弦波測定信号を発生させるとともに、他方の信号をA/Dコンバータのサンプリング信号としたことにより、被測定試料に印加される測定信号と、電流、電圧の検出波形とが完全に同期するため、CPUにてL、C、D、Qなどを演算する際のウィンドウ関数処理が不要となり、また、基準信号の分周比を変えることにより、種々周波数での測定が可能になる、などの効果が奏される。

【図面の簡単な説明】

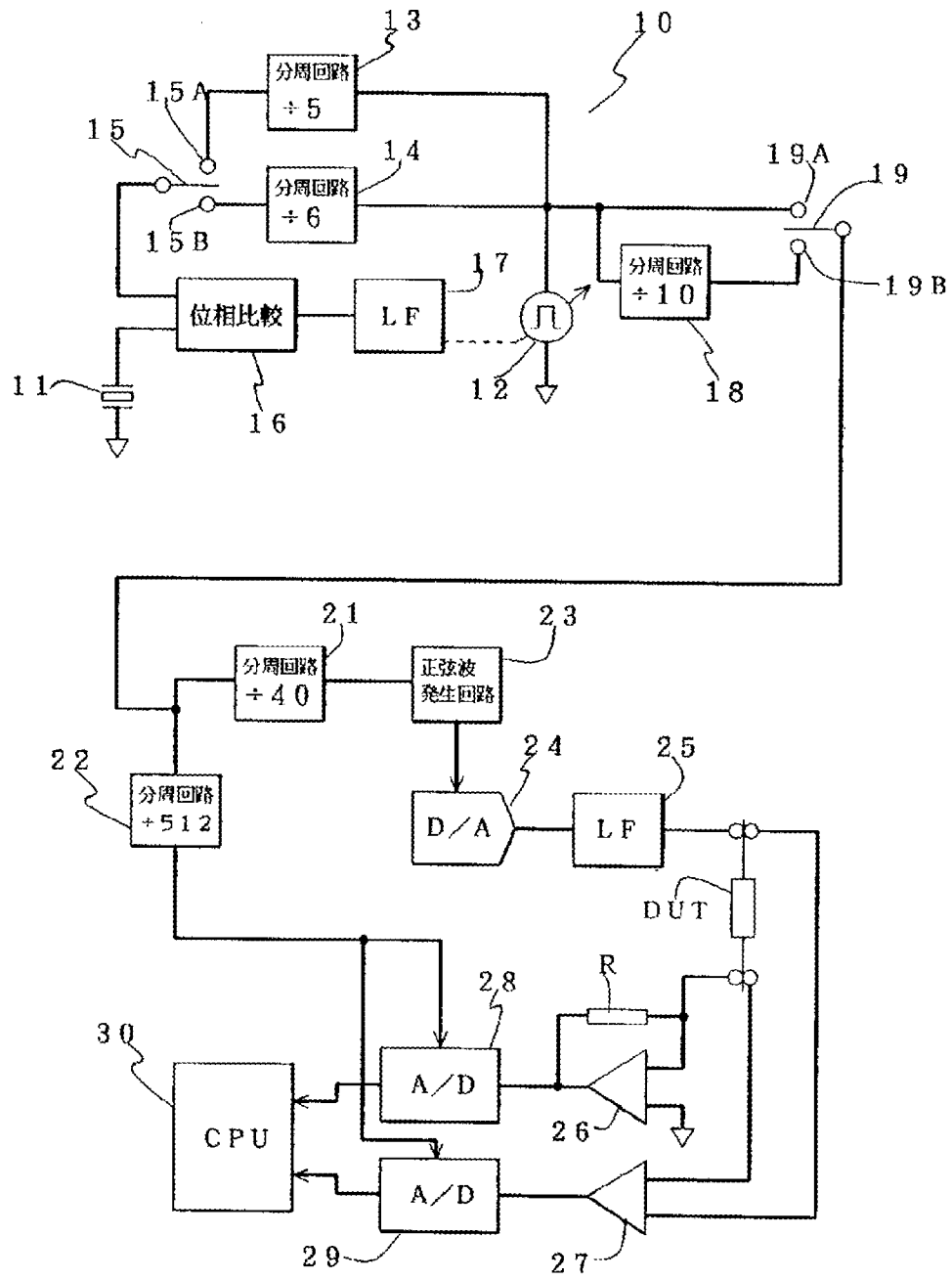
【図1】この発明の一実施例に係るブロック線図。

【図2】従来例のブロック線図。

【符号の説明】

10 基準信号発生手段
11 水晶発振器
12 電圧制御発振器
13, 14, 18, 21, 22 分周回路
23 正弦波発生回路
26 電流検出回路
27 電圧検出回路
28, 29 A/Dコンバータ
30 CPU
DUT 被測定試料

【図1】



【図2】

